

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32313

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl.⁹

H 0 1 L 27/10

識別記号

4 3 1

庁内整理番号

F I

H 0 1 L 27/10

技術表示箇所

4 3 1

審査請求 未請求 請求項の数11 O L (全 14 頁)

(21) 出願番号

特願平8-187473

(22) 出願日

平成8年(1996) 7月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 木下 英之

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

(72) 発明者 角田 弘昭

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

(72) 発明者 目黒 寿孝

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

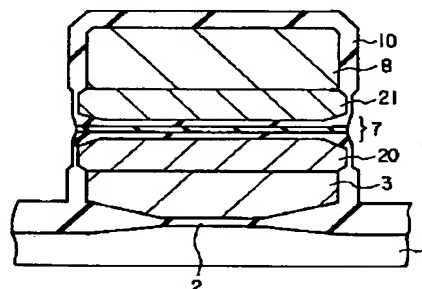
(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

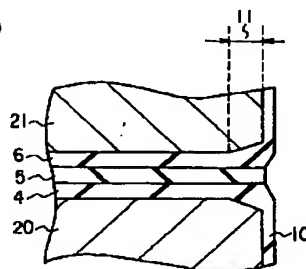
【課題】 E E P R O M を製造する際、後酸化工程時にインターポリ絶縁膜の膜厚も増大し、インターポリ絶縁膜の膜厚がばらついたり、インターポリ絶縁膜の信頼性が低下し、メモリセルの性能を低下させてしまう。

【解決手段】 インターポリ絶縁膜7の上下に酸化が抑制されかつ導電性を有する窒素と不純物とシリコンからなる層20、21を設ける。

(a)



(b)



1

【特許請求の範囲】

【請求項1】 半導体基板上に形成された第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に形成された第1のゲート電極と、

前記第1のゲート電極上に形成された第2の絶縁膜と、
前記第2の絶縁膜上に形成された第2のゲート電極とを具備し、

前記第1のゲート電極と第2のゲート絶縁膜間及び前記第2のゲート絶縁膜と前記第2のゲート電極間の少なくとも一方に、窒素と不純物が添加されたシリコン膜が形成されていることを特徴とする半導体装置。

【請求項2】 前記第2のゲート絶縁膜は、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜とよりなる3層の積層膜、シリコン酸化膜の単層膜、シリコン窒化膜の単層膜のいずれかであることを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体基板上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成された窒素と不純物が添加されたシリコン膜と、
前記窒素と不純物が添加されたシリコン膜上に形成されたゲート電極とを具備することを特徴とする半導体装置。

【請求項4】 前記窒素と不純物が添加されたシリコン膜において、窒素濃度は $1 \times 10^{21} \text{ cm}^{-3}$ ないし $5 \times 10^{21} \text{ cm}^{-3}$ であり、不純物濃度は $1 \times 10^{20} \text{ cm}^{-3}$ ないし $1 \times 10^{21} \text{ cm}^{-3}$ であることを特徴とする請求項1、3記載の半導体装置。

【請求項5】 前記不純物は、リンと砒素のいずれかであることを特徴とする請求項1、3、4記載の半導体装置。

【請求項6】 半導体基板上に第1のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜上に第1のゲート電極を形成する工程と、

前記第1のゲート電極上に第1の窒素と不純物が添加されたシリコン膜を形成する工程と、

前記第1の窒素と不純物が添加されたシリコン膜上に第2のゲート絶縁膜を形成する工程と、

前記第2のゲート絶縁膜上に第2の窒素と不純物が添加されたシリコン膜を形成する工程と、

前記第2の窒素と不純物が添加されたシリコン膜上に第2のゲート電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板上に第1のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜上に第1のゲート電極を形成する工程と、

前記第1のゲート電極上に窒素と不純物が添加されたシ

2

リコン膜を形成する工程と、

前記窒素と不純物が添加されたシリコン膜上に第2のゲート絶縁膜を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項8】 前記窒素と不純物が添加されたシリコン膜は、減圧化学気相成長法を用いて形成されることを特徴とする請求項6、7記載の半導体装置の製造方法。

【請求項9】 前記窒素と不純物が添加されたシリコン膜は、多結晶シリコン膜にアンモニア雰囲気中で熱処理を施すことで形成されることを特徴とする請求項6、7記載の半導体装置の製造方法。

【請求項10】 前記窒素と不純物が添加されたシリコン膜は、多結晶シリコン膜にアンモニア雰囲気中で熱処理を施すことで形成され、

前記第2のゲート絶縁膜は、シリコン窒化膜であり、減圧化学気相成長法により形成されることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項11】 前記窒素と不純物が添加されたシリコン膜は、多結晶シリコン膜にイオン注入法を用いて窒素を注入して形成されることを特徴とする請求項6、7記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性メモリやMOSトランジスタなどの半導体装置とその製造方法に関し、特に後酸化により特性が劣化しないフラッシュEEPROMとその製造方法に係わる。

【0002】

【従来の技術】近年、半導体装置の高集積化、性能の向上、低消費電力化が要求されている。それらの要求を実現するためには、MOSトランジスタのゲート絶縁膜あるいは不揮発性メモリなどのメモリセルの絶縁膜を薄膜化することが重要である。これに伴い、ゲート絶縁膜やゲート電極の製造方法の改良が必要になっている。

【0003】図14ないし図16は、従来の不揮発性メモリであるフラッシュEEPROMのメモリセル部分の製造方法を示す。以下、同一の構成要素には同一の符号を付し、説明を省略する。

【0004】まず、例えばP型シリコン基板1上に、選択酸化法を用いて素子分離のための図示せぬフィールド酸化膜を形成する。図14(a)は、この段階における半導体装置の断面を示す。

【0005】次に、シリコン基板1上に、熱酸化法を用いて厚さ10nmのシリコン酸化膜2を形成する。図14(b)は、この段階における半導体装置の断面を示す。シリコン酸化膜2は、第1ゲート酸化膜として働き、一般にトンネル酸化膜と称される。

【0006】さらに、シリコン酸化膜2上に、LPCVD法を用いて、不純物としてリンが添加された厚さ200nmの多結晶シリコン膜3を形成する。図14(c)

3

は、この段階における半導体装置の断面を示す。この多結晶シリコン膜3は、第1ゲート電極となる。一般にこの多結晶シリコン膜3はフローティングゲートと呼ばれる。

【0007】続いて、フローティングゲート3上に、LPCVD法を用いて、いずれも膜厚が6nmのシリコン酸化膜4、シリコン窒化膜5、およびシリコン酸化膜6を順次形成する。図14(d)は、この段階における半導体装置の断面を示す。この3層の積層構造を持つ絶縁膜は、第2ゲート絶縁膜と呼ばれ、一般にインターポリ絶縁膜またはONO膜と称される。

【0008】次に、ONO膜7上に、LPCVD法を用いて不純物としてリンが添加された多結晶シリコン膜8を形成する。図14(e)は、この段階における半導体装置の断面を示す。この多結晶シリコン膜8は、第2ゲート電極となり、一般にコントロールゲートと称される。

【0009】さらに、コントロールゲート8上にフォトレジスト9を塗布し、写真蝕刻法を用いて所望のパターンに加工する。図15(a)は、この段階における半導体装置の断面を示す。

【0010】続いて、フォトレジスト9をマスクにして、RIE(Reactive Ion Etching)法などのドライエッチング法を用いて、コントロールゲート8、ONO膜7、およびフローティングゲート3を順次垂直方向にエッチングする。フローティングゲート3をエッチングする時、シリコン酸化膜2がエッチングストッパーとなる。図15(b)は、この段階における半導体装置の断面を示す。

【0011】次に、フォトレジスト9を除去する。図15(c)は、この段階における半導体装置の断面を示す。そして、ゲート端でのリーク電流を抑制し、高耐压の周辺回路MOSトランジスタのサーフェス耐压すなわちゲート絶縁膜の耐压を向上させ、RIEエッチングによりゲート電極を介してゲート酸化膜に導入されたダメージを回復させるなどの目的で、熱酸化法を用いて、シリコン酸化膜10を形成する。図16(a)は、この段階における半導体装置の断面を示す。一般に、この酸化工程は後酸化工程と呼ばれ、この際に形成される酸化膜10は後酸化膜と称される。

【0012】その後、不純物をイオン注入して図示せぬソース・ドレイン領域を形成し、図示せぬ絶縁膜を堆積し、開口を形成し、図示せぬ配線を形成する。こうして、EEPROMのメモリセル部分が形成される。

【0013】

【発明が解決しようとする課題】以下、上述したメモリセルの製造方法の問題点を説明する。まず、後酸化工程において、ONO膜7の酸化膜部分4、6から酸化剤である酸素等が拡散し、コントロールゲート3及びフローティングゲート8の多結晶シリコン膜が酸化される。こ

4

うしてONO膜7のゲート端が過剰に酸化され、例えば図16(a)及び図16(b)の11に示した部分のように酸化膜厚が増加する。一般に、このゲート端に形成される膜厚の増加した酸化膜部分11は、ゲートバースピークと呼ばれる。

【0014】このゲートバースピークは、インターポリ絶縁膜7の実効膜厚を増加させ、しかもその入り込み方を制御することが困難であるため、メモリセル間のインターポリ絶縁膜7の膜厚にばらつきを生じさせる。

【0015】さらに、メモリセルの微細化により図16(a)に示したようにゲート長12が短くなると、ゲートバースピーク長11がゲート長12に占める割合が大きくなる。よって、微細化が進むにつれてゲートバースピークの影響が大きくなり、インターポリ絶縁膜7の薄膜化に事実上ブレーキがかけられることになる。

【0016】また、熱酸化法で形成されたシリコン酸化膜よりもCVD法で形成されたシリコン酸化膜の方が酸化剤の拡散を抑制する効果が低いため、インターポリ絶縁膜8においてゲートバースピークがより多く深く入り込む。

【0017】通常、メモリセルへのデータの書き込みや消去は、コントロールゲート8に印加された電圧を、基板1とトンネル酸化膜2とフローティングゲート3で構成されるコンデンサの容量とフローティングゲート3とインターポリ絶縁膜7とコントロールゲート8で構成されるコンデンサの容量の比で分配させ、インターポリ絶縁膜7に印加することにより行われる。よって、上述のように後酸化によりインターポリ絶縁膜7の膜厚が増加したり、その膜厚がばらつくと、メモリセルの書き込み・消去特性が劣化したり、ばらつきが生じる。

【0018】また、インターポリ絶縁膜7のゲート端が酸化されると、フローティングゲート3やコントロールゲート8を構成する多結晶シリコンのグレイン粒の成長が促進される。その結果、フローティングゲート3やコントロールゲート8のゲート電極の形状が変化し、インターポリ絶縁膜7に局所的に電界集中が生じる。そのため、絶縁膜の信頼性が劣化し、場合によっては絶縁膜に欠陥が生じ、メモリセルの歩留りを低下させる。

【0019】図17は、後酸化前と後酸化後のONO膜の破壊電圧の分布を示す。後酸化工程を経ると、ONO膜の破壊電圧の分布が広くなり、しかも破壊電圧が低下することがわかる。

【0020】以上、主としてインターポリ絶縁膜7におけるゲートバースピークの問題を述べたが、トンネル酸化膜2においても後酸化により同様のバースピークが生じ、膜厚の増加やばらつきが原因となってメモリセルの諸特性が劣化する。

【0021】さらに、従来の製造方法では、フラッシュEEPROMのメモリセル部と周辺回路トランジスタ部のゲートを一括して加工することができない。図18な

5

いし図20は、メモリセル部と周辺回路トランジスタ部のゲートを同時加工する場合の工程と問題点を説明する図である。図18(a)ないし(e)、図19(a)ないし(c)及び図20(a)(b)はメモリセル部の断面を表し、図18(a')ないし(e')、図19(a')ないし(c')及び図20(a')(b')は周辺回路部の断面を示す。

【0022】まず、P型シリコン基板1上に、選択酸化法を用いて素子分離のために図示せぬフィールド酸化膜を形成する。次に、シリコン基板1上に、熱酸化法を用いて厚さ20nmのシリコン酸化膜13を形成する。その後、シリコン酸化膜13上にフォトレジスト14を塗布し、写真蝕刻法を用いてメモリセル部のフォトレジスト14を除去する。図18(a)、(a')は、この段階における半導体装置の断面を示す。

【0023】その後、フォトレジスト14をマスクにして、メモリセル部のシリコン酸化膜13をウェットエッチング法を用いて選択的に除去し、続いてフォトレジスト14を除去する。図18(b)、(b')は、この段階における半導体装置の断面を示す。

【0024】さらに、熱酸化法を用いて、厚さ10nmのシリコン酸化膜2を形成する。この際、周辺回路部にあらかじめ形成されていたシリコン酸化膜13の膜厚は増加する。図18(c)、(c')は、この段階における半導体装置の断面を示す。シリコン酸化膜2はメモリセル部のトンネル酸化膜となり、シリコン酸化膜13は周辺回路トランジスタのゲート酸化膜となる。

【0025】続いて、LPCVD法を用いて、酸化膜2、13上に不純物としてリンが添加された厚さ200nmの多結晶シリコン膜3を形成する。多結晶シリコン膜3は、フローティングゲートとなる。

【0026】次に、フローティングゲート3上に、LPCVD法を用いて、シリコン酸化膜4、シリコン窒化膜5及びシリコン酸化膜6よりなるONO膜7を形成する。さらに、ONO膜7上にフォトレジスト15を塗布し、写真蝕刻法を用いて周辺回路トランジスタ部のレジスト15を除去する。図18(d)、(d')は、この段階における半導体装置の断面を示す。

【0027】その後、フォトレジスト15をマスクに、周辺回路トランジスタ部のONO膜7を、RIE法を用いて選択的に除去する。続いて、フォトレジスト15を除去する。図18(e)、(e')は、この段階における半導体装置の断面を示す。

【0028】次に、全面に、LPCVD法を用いて不純物としてリンを含んだ厚さ300nmの多結晶シリコン膜8を形成する。メモリセル部では、多結晶シリコン膜8は、ONO膜7上に形成され、コントロールゲートとして働く。周辺回路トランジスタ部では、多結晶シリコン膜8は、多結晶シリコン膜3上に形成され、多結晶シリコン膜3、8は、MOSトランジスタのゲート電極と

6

なる。

【0029】さらに、多結晶シリコン膜8上にフォトレジスト16を塗布し、写真蝕刻法を用いて、メモリセル部及び周辺回路トランジスタ部のフォトレジスト16を所望のパターンに加工する。図19(a)、(a')は、この段階における半導体装置の断面を示す。

【0030】続いて、フォトレジスト16をマスクにして、RIE法により多結晶シリコン膜8をエッチングする。このRIEにおいて、シリコンはエッチングするがシリコン酸化膜およびシリコン窒化膜はエッチングしないエッチング選択性を有するガス系を用いる。このエッチングの際、メモリセル部ではONO膜7がエッチングストップパ—となる。図19(b)は、この段階におけるメモリセル部の断面を示す。一方、周辺回路トランジスタ部では、ONO膜が存在しないので多結晶シリコン膜3もエッチングされ、シリコン酸化膜13がエッチングストップパ—となる。図19(b')は、この段階における周辺回路トランジスタ部の断面を示す。

【0031】さらに、シリコン窒化膜とシリコン酸化膜はエッチングするがシリコンはエッチングしないエッチング選択性を有するガス系を用いてRIE法によりエッチングすることで、メモリセル部のONO膜7をエッチングする。図19(c)は、この段階におけるメモリセル部の断面を示す。

【0032】このエッチングの際、周辺回路トランジスタ部では酸化膜13が露出されているため、酸化膜13がエッチングされ、シリコン基板1が剥き出しとなる。図19(c')は、この段階における周辺回路トランジスタ部の断面を示す。

【0033】その後、シリコンはエッチングするがシリコン酸化膜はエッチングしないエッチング選択性をもつガス系を用いてRIE法により、多結晶シリコン膜3を選択的に垂直方向にエッチングする。メモリセル部では、シリコン酸化膜2がエッチングストップパ—となる。図20(a)は、この段階におけるメモリセル部の断面を示す。

【0034】このエッチングの際、周辺回路トランジスタ部ではシリコン基板1が露出されているため、シリコン基板1がエッチングされてしまう。図20(a')は、この段階における周辺回路トランジスタ部の断面を示す。

【0035】その後、フォトレジスト16を除去する。図20(c)、(c')は、この段階における半導体装置の断面を示す。このようにメモリセル部と周辺回路トランジスタ部のゲート電極を一括して形成すると、周辺回路トランジスタ部ではゲート電極の脇のシリコン基板がエッチングされ、周辺回路のトランジスタがトランジスタとして正常に動作しなくなる。そのため、従来は、メモリセル部と周辺回路トランジスタ部のゲート電極の加工を別々に行わなければならなかった。

7

【0036】また、シリコン窒化膜は酸化されにくいいため、後酸化によるインターポリ絶縁膜の劣化を防ぐため、インターポリ絶縁膜をシリコン窒化膜のみで形成することも考えられる。

【0037】しかし、LPCVD法で作成されたシリコン窒化膜はリーク電流が多く、そのままではインターポリ絶縁膜として使用することは問題がある。本発明は、上記課題に鑑みてなされたもので、後酸化の際にインターポリ絶縁膜の膜厚が増えず、しかもその膜厚がばらつかないようにして、より薄いインターポリ絶縁膜を形成できるようにし、メモリセル及び周辺回路MOSトランジスタの性能を向上させ、歩留りや信頼性を改善させることを目的とする。また、メモリセル部と周辺回路部のゲート電極を同時に加工して、工程数を削減し、コストを削減することを目的とする。

【0038】

【課題を解決するための手段】本発明の半導体装置は、上記課題を解決するため、半導体基板上に形成された第1のゲート絶縁膜と、第1のゲート絶縁膜上に形成された第1のゲート電極と、第1のゲート電極上に形成された第2の絶縁膜と、第2の絶縁膜上に形成された第2のゲート電極とを具備し、第1のゲート電極と第2のゲート絶縁膜間及び第2のゲート絶縁膜と第2のゲート電極間の少なくとも一方に、窒素と不純物が添加されたシリコン膜が形成されている。

【0039】また、本発明の半導体装置の製造方法は、上記課題を解決するため、半導体基板上に第1のゲート絶縁膜を形成する工程と、第1のゲート絶縁膜上に第1のゲート電極を形成する工程と、第1のゲート電極上に第1の窒素と不純物が添加されたシリコン膜を形成する工程と、第1の窒素と不純物が添加されたシリコン膜上に第2のゲート絶縁膜を形成する工程と、第2のゲート絶縁膜上に第2の窒素と不純物が添加されたシリコン膜を形成する工程と、第2の窒素と不純物が添加されたシリコン膜上に第2のゲート電極を形成する工程とを具備する。

【0040】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1ないし図3は、本発明の第1の実施例を示す。本実施例は、フラッシュEEPROMのメモリセルのONO膜の上下に、窒素を添加した多結晶シリコン膜を設けたものである。

【0041】まず、P型シリコン基板1上に、選択酸化法を用いて素子分離のための図示せぬフィールド酸化膜を形成する。図2(a)は、この段階における半導体装置の断面を示す。

【0042】次に、熱酸化法を用いて、トンネル酸化膜となる厚さ10nmのシリコン酸化膜2を形成する。図2(b)は、この段階における半導体装置の断面を示す。その後、シリコン酸化膜2上に、モノシラン(Si

8

H₄)やジシラン(Si₂H₆)等のシラン系のガスとフォスフィン(PH₃)を使用したLPCVD法を用いて、不純物としてリンが添加された厚さ200nmの多結晶シリコン膜3を形成する。続いて、膜の形成を中断することなく、同一のLPCVD装置において上述のガスにさらにNH₃ガスを添加して、リンおよび窒素が添加された例えば膜厚が30nmの多結晶シリコン膜20を形成する。図2(c)は、この段階における半導体装置の断面を示す。フローティングゲートは、多結晶シリコン膜3、20とにより構成される。

【0043】この窒素とリンがドーブされた多結晶シリコン膜20は、導電性を有し、かつ酸化されにくいという特徴を有する。そのため、窒素は例えば1E21ないし5E21atom/cm³程度にドーブされ、例えばリンは1E20ないし1E21atom/cm³程度にドーブされている。

【0044】続いて、多結晶シリコン膜20上に、LPCVD法を用いて、各々の膜厚が6nmであるシリコン酸化4、シリコン窒化膜5およびシリコン酸化膜6を形成し、ONO膜7を形成する。図2(d)は、この段階における半導体装置の断面を示す。

【0045】次に、ONO膜7上に、LPCVD法を用いて、不純物としてリン及び窒素が添加された例えば膜厚が30nmの多結晶シリコン膜21を形成する。続いて膜の形成を中断することなく、不純物としてリンが添加された例えば膜厚が200nmの多結晶シリコン膜8を形成する。図2(e)は、この段階における半導体装置の断面を示す。コントロールゲートは、多結晶シリコン膜8、21とにより構成される。

【0046】この窒素とリンが添加された多結晶シリコン膜21は、導電性を有し、かつ酸化されにくい膜である必要がある。そのため、この多結晶シリコン膜21における窒素濃度とリン濃度は、上述の多結晶シリコン膜20における濃度と同様の範囲に設定される。

【0047】さらに、多結晶シリコン膜8上にフォトレジスト9を塗布し、写真蝕刻法を用いて所望のパターンに加工する。図3(a)は、この段階における半導体装置の断面を示す。

【0048】続いて、フォトレジスト9をマスクにして、RIE法によって、コントロールゲートである多結晶シリコン膜8、21、ONO膜7、フローティングゲートである多結晶シリコン膜20、3を順次垂直方向にエッチングする。多結晶シリコン膜3のエッチングの際、シリコン酸化膜2がエッチングストッパーとなる。図3(b)は、この段階における半導体装置の断面を示す。

【0049】その後、フォトレジスト9を除去する。図3(c)は、この段階における半導体装置の断面を示す。次いで、熱酸化法を用いて、後酸化膜であるシリコン酸化膜10を形成する。図1(a)はこの段階にお

9

る半導体装置の断面を示し、図1(b)はインターポリ絶縁膜のゲート端の形状を示す。

【0050】その後、不純物をイオン注入して図示せぬソース・ドレイン領域を形成し、図示せぬ絶縁膜を堆積し、開口を形成し、図示せぬ配線を形成する。こうして、EEPROMのメモリセル部分が形成される。

【0051】本実施例において、窒素を含んだ多結晶シリコン膜20、21の酸化速度は遅い。図4は、窒素がドーパされた多結晶シリコン膜とドーパされていない多結晶シリコン膜の酸化速度を示す。図4のデータから窒素を含んだ多結晶シリコン膜の酸化速度が遅くなること10
がわかる。よって、後酸化時に多結晶シリコン膜20、21においてONO膜7の上下に酸化膜が成長することが抑制され、従来よりもインターポリ絶縁膜7のゲート端での膜厚を薄くすることができる。また、窒素がドーパされた多結晶シリコン膜20、21は導電体であるため、フローティングゲートとコントロールゲート間の容量が低下することはない。

【0052】また、コントロールゲート及びフローティングゲートでのグレイン粒の成長が抑制され、ゲート電極の形状が変化してONO膜が劣化することを防止することが20
できる。

【0053】本実施例では、窒素を含んだ多結晶シリコン膜20、21はLPCVD法により形成されるが、それに限るものではなく、窒素をイオン注入技術を用いて多結晶シリコン中に注入したり、多結晶シリコン膜をアンモニア雰囲気中で熱処理することで形成してもよい。

【0054】さらに、本実施例では、インターポリ絶縁膜7としてONO膜が用いられるが、それに限られるものではなく、インターポリ絶縁膜7がシリコン酸化膜のみ又はシリコン窒化膜のみで構成される場合、あるいはシリコン酸化膜とシリコン窒化膜よりなる2層以上の積層構造の絶縁膜で構成される場合でも同様の効果が得られる。30

【0055】また、本実施例では、インターポリ絶縁膜がフローティングゲートと接する面とコントロールゲートと接する面にそれぞれ窒素を含んだ多結晶シリコン膜20、21を形成しているが、これに限るものではなく、少なくともどちらか一方の面に窒素を含んだ多結晶シリコン膜を形成すれば、少なくともその面に関しては40
本実施例と同様の効果を得ることができる。

【0056】また、本実施例では、多結晶シリコン膜に窒素を添加しているが、LPCVD法における堆積温度を下げて多結晶シリコン膜ではなく非晶質シリコン膜を形成し、その非晶質シリコン膜に窒素を添加しても同様の効果を得ることができる。

【0057】図5ないし図7は、本発明の第2の実施例を示す。本実施例は、インターポリ絶縁膜をシリコン窒化膜のみで構成したものである。まず、P型シリコン基板1上に、選択酸化法を用いて素子分離のため図示せぬ50

10

フィールド酸化膜を形成する。図5(a)は、この段階における半導体装置の断面を示す。

【0058】次に、熱酸化法を用いて、厚さ10nmのシリコン酸化膜2を形成する。この酸化膜2は、トンネル酸化膜となる。図5(b)は、この段階における半導体装置の断面を示す。

【0059】さらに、LPCVD法を用いて、リンが添加された例えば厚さ200nmの多結晶シリコン膜3を形成する。この多結晶シリコン膜3は、フローティングゲートとなる。図5(c)は、この段階における半導体装置の断面を示す。

【0060】その後、LPCVD装置内でNH₃ 雰囲気中で熱処理を行うことで、多結晶シリコン膜3上の自然酸化膜及び多結晶シリコン膜3の表面を窒化し、窒化膜22を形成する。図5(d)は、この段階における半導体装置の断面を示す。この窒素とリンとシリコンよりなる膜22は、酸化されにくくかつ導電性を有する膜であり、窒素濃度は例えば1E21ないし5E21atom/cm³の範囲に設定され、リン濃度は例えば1E20ないし1E21atom/cm³程の範囲に設定される。

【0061】続いて、連続的に、例えばNH₃ とジクロロシラン(SiH₂Cl₂)を用いてLPCVD法によりシリコン窒化膜23を形成する。図5(e)は、この段階における半導体装置の断面を示す。シリコン窒化膜23は、インターポリ絶縁膜となる。

【0062】次に、シリコン窒化膜23上に、LPCVD法を用いて、リンが添加された例えば厚さ200nmの多結晶シリコン膜8を形成する。この多結晶シリコン膜8は、コントロールゲートとなる。

【0063】さらに、コントロールゲート8上にフォトリジスト9を塗布し、写真蝕刻法を用いて所望のパターンに加工する。図6(a)は、この段階における半導体装置の断面を示す。

【0064】続いて、フォトリジスト9をマスクにして、RIE法を用いて、コントロールゲート8、シリコン窒化膜23、22、フローティングゲート3を順次垂直方向にエッチングする。多結晶シリコン膜3をエッチングする際、シリコン酸化膜2がエッチングストッパーとなる。図6(b)は、この段階における半導体装置の断面を示す。

【0065】次に、フォトリジスト9を除去する。図6(c)は、この段階における半導体装置の断面を示す。その後、熱酸化法を用いて、後酸化膜であるシリコン酸化膜10を形成する。図7(a)は、この段階における半導体装置の断面を示し、図7(b)はインターポリ絶縁膜のゲート端の形状を示す。

【0066】その後、不純物をイオン注入して図示せぬソース・ドレイン領域を形成し、図示せぬ絶縁膜を堆積し、開口を形成し、図示せぬ配線を形成する。こうし

11

て、EEPROMのメモリセル部分が形成される。

【0067】このように、本実施例では、シリコン窒化膜のみでインターポリ絶縁膜を構成している。シリコン窒化膜は酸素の拡散を防止し耐酸化性を有するので、後酸化工程においてゲート端でのゲートバズピークの発生を抑制することができる。

【0068】また、本実施例では、下地膜をアンモニア雰囲気中で熱窒化させ、その窒化膜上にLPCVD法でシリコン窒化膜を形成しているので、リーク電流を十分に抑制することができる。図8は、LPCVD法で形成した従来のSiN膜におけるリーク電流と、下地膜をアンモニア雰囲気中で熱窒化した上でLPCVD法により形成したSiN膜におけるリーク電流を示す。いずれも5MV/cmの電界におけるリーク電流であり、SiN膜の面積は同一である。図8に示したように、熱処理することによりリーク電流が1桁程度減少する。

【0069】さらに、同一のLPCVD装置内で下地膜表面の窒化処理工程とシリコン窒化膜を形成する工程とを連続して行うことで、シリコン窒化膜の絶縁膜としての信頼性を一層向上させることができる。なお、熱窒化工程とシリコン窒化膜の形成工程とを同一の装置内で行わなくても、例えばRTP装置内で下地膜を熱窒化させその後LPCVD装置内でシリコン窒化膜を形成しても、酸化抑制やリーク電流低減といった効果を得ることができる。

【0070】また、ONO膜は3層構造であるので実効膜厚を薄くしたり膜厚を制御することが困難であるのに対し、本実施例ではインターポリ絶縁膜を窒化シリコン膜のみの単層構造とすることで、薄膜化が容易になり、膜厚の制御性を確保し、さらに工程を削減してコストを低下させることができる。

【0071】さらに、インターポリ絶縁膜を窒化シリコン膜のみで構成することで、メモリセルと周辺回路トランジスタのゲート電極を一括して加工することができる。図9ないし図11は、この効果を説明する図である。図9(a)ないし(d)、図10(a)ないし(d)、図11(a)(b)はメモリセルの断面を示し、図9(a')ないし(d')、図10(a')ないし(d')、図11(a')(b')は周辺回路MOSトランジスタの断面を示す。

【0072】まず、P型シリコン基板1上に、選択酸化法を用いて素子分離のため図示せぬフィールド酸化膜を形成する。次に、熱酸化法を用いて、シリコン基板1上に厚さ20nmのシリコン酸化膜13を形成する。その後、シリコン酸化膜13上にフォトレジスト14を塗布し、写真蝕刻法を用いてメモリセル部のフォトレジスト14を除去する。図9(a)、(a')は、この段階における半導体装置の断面を示す。

【0073】その後、フォトレジスト14をマスクにしてメモリセル部のシリコン酸化膜13をウェットエッチ

12

ング法を用いて選択的に除去する。続いて、フォトレジスト14を除去する。図9(b)、(b')は、この段階における半導体装置の断面を示す。

【0074】さらに、熱酸化法を用いて、メモリセル部のシリコン基板1上に厚さ10nmのシリコン酸化膜2を形成する。この酸化により、周辺回路部のシリコン酸化膜13の膜厚は増加する。図9(c)、(c')はこの段階における半導体装置の断面を示す。シリコン酸化膜2はメモリセル部のトンネル酸化膜となり、シリコン酸化膜13は周辺回路トランジスタのゲート酸化膜となる。

【0075】続いて、LPCVD法を用いて、不純物としてリンが添加された厚さ200nmの多結晶シリコン膜3を形成する。多結晶シリコン膜3はフローティングゲートとなる。

【0076】次に、NH₃ 雰囲気中で熱処理を行い、多結晶シリコン膜3の自然酸化膜及び多結晶シリコン膜3の表面を窒化し、窒化膜層22を形成する。続いて、LPCVD法を用いて窒化膜層22の上にシリコン窒化膜23を形成し、インターポリ絶縁膜とする。

【0077】その後、シリコン窒化膜23上にフォトレジスト24を塗布し、写真蝕刻法を用いて周辺回路トランジスタ部のフォトレジスト24を除去する。図9

(d)、(d')は、この段階における半導体装置の断面を示す。

【0078】次いで、フォトレジスト24をマスクにして周辺回路トランジスタ部の窒化膜23、22を、RIEによって除去する。その後、フォトレジスト24を除去する。図10(a)、(a')は、この段階における半導体装置の断面を示す。

【0079】次に、LPCVD法を用いて、リンが添加された厚さ300nmの多結晶シリコン膜8を形成する。メモリセル部では、多結晶シリコン膜8はシリコン窒化膜23上に形成され、コントロールゲートとして働く。また、周辺回路トランジスタ部では、多結晶シリコン膜8、3はMOSトランジスタのゲート電極となる。

【0080】さらに、多結晶シリコン膜8上にフォトレジスト25を塗布し、写真蝕刻法を用いて、メモリセル部および周辺回路トランジスタ部のフォトレジスト25を所望のパターンに加工する。図10(b)、(b')は、この段階における半導体装置の断面を示す。

【0081】続いて、フォトレジスト25をマスクにして、RIEにより多結晶シリコン膜8をエッチングする。RIEのガスとして、シリコンはエッチングするがシリコン酸化膜およびシリコン窒化膜はエッチングしないエッチング選択性を有するガス系を用いる。よって、メモリセル部ではシリコン窒化膜23がエッチングストッパーとなる。しかし、周辺回路トランジスタ部では、多結晶シリコン膜8、3がエッチングされ、シリコン酸化膜13がエッチングストッパーの役目を果たす。図1

13

0 (c)、(c') は、この段階における半導体装置の断面を示す。

【0082】その後、シリコン窒化膜はエッチングするがシリコン酸化膜はエッチングしないエッチング選択性を有するガス系を用いて、RIEによって、シリコン窒化膜23、22を垂直方向にエッチングする。周辺回路トランジスタ部では、シリコン酸化膜13が露出しているため、エッチングは進まない。図10(d)、

(d') は、この段階における半導体装置の断面を示す。

【0083】さらに、シリコンはエッチングするがシリコン酸化膜はエッチングしないエッチング選択性を持つガス系を用いて、RIEによって、多結晶シリコン膜33を垂直方向にエッチングする。このエッチングの際、周辺回路トランジスタ部ではシリコン酸化膜13が露出しているため、エッチングは進まない。メモリセル部では、シリコン酸化膜2がエッチングストッパーとなる。図11(a)、(a') は、この段階における半導体装置の断面を示す。

【0084】その後、フォトレジスト25を除去する。図11(b)、(b') は、この段階における半導体装置の断面を示す。さらに、不純物をイオン注入して図示せぬソース・ドレイン領域を形成し、図示せぬ絶縁膜を堆積し、開口を形成し、図示せぬ配線を形成する。

【0085】このように、メモリセルのインターポリ絶縁膜に用いる材料と周辺回路MOSトランジスタのゲート絶縁膜に用いる材料とを異なるものにする事で、メモリセル部と周辺回路MOSトランジスタ部のゲート電極を一括して加工できるようになり、従来よりも工程を削減することができる。

【0086】図12及び図13は、本発明の第3の実施例を示す。本実施例は、ゲート絶縁膜とゲート電極間に窒素を添加した多結晶シリコン層を設けたものである。まず、P型シリコン基板1上に、選択酸化法を用いて素子分離のための図示せぬフィールド酸化膜を形成する。図12(a)は、この段階における半導体装置の断面を示す。

【0087】次に、熱酸化法を用いて、トンネル酸化膜となる厚さ10nmのシリコン酸化膜31を形成する。図12(b)は、この段階における半導体装置の断面を示す。

【0088】その後、LPCVD法を用いて不純物としてリン及び窒素が添加された厚さ30nmの多結晶シリコン膜32を形成する。さらに膜の形成を中断することなく連続して、LPCVD法により不純物としてリンが添加された厚さが200nmの多結晶シリコン膜33を形成する。ゲート電極は、多結晶シリコン膜32と多結晶シリコン膜33で構成される。図12(c)は、この段階における半導体装置の断面を示す。この窒素とリンがドーピングされた多結晶シリコン膜33は、酸化されにく

14

くかつ導電性を有する膜であり、窒素濃度は例えば $1E21$ ないし $5E21 \text{ atom/cm}^3$ の範囲に設定され、リン濃度は例えば $1E20$ ないし $1E21 \text{ atom/cm}^3$ 程の範囲に設定される。

【0089】さらに、多結晶シリコン膜33上にフォトレジスト34を塗布し、写真蝕刻法を用いてフォトレジスト34を所望のパターンに加工する。図12(d)は、この段階における半導体装置の断面を示す。

【0090】続いて、フォトレジスト34をマスクにして、RIE法によりゲート電極である多結晶シリコン膜33、32を垂直方向にエッチングする。多結晶シリコン膜32のエッチング時、シリコン酸化膜31がエッチングストッパーとなる。図13(a)は、この段階における半導体装置の断面を示す。

【0091】次に、フォトレジスト34を除去する。図13(b)は、この段階における半導体装置の断面を示す。その後、熱酸化法を用いて後酸化膜であるシリコン酸化膜35を形成する。図13(c)は、この段階における半導体装置の断面を示す。

【0092】このようにしてトランジスタのゲート部分を製造する。本実施例において、窒素及びリンを含んだ多結晶シリコン膜32の酸化速度は遅いため、後酸化工程においてシリコン酸化膜31のゲート端でシリコン酸化膜の膜厚が増加することを抑制することができる。

【0093】また、多結晶シリコン膜32においてポリシリコンのグレインの成長が抑制されるため、シリコン酸化膜31の劣化を防止することができる。なお、本実施例では、窒素を含んだ多結晶シリコン膜32はLPCVD法により形成されるが、それに限るものではなく、窒素をイオン注入技術を用いて多結晶シリコン中に注入したり、多結晶シリコン膜をアンモニア雰囲気中で熱処理することで形成してもよい。

【0094】また、本実施例では、多結晶シリコン膜に窒素を添加しているが、LPCVD法における堆積温度を下げて多結晶シリコン膜ではなく非晶質シリコン膜を形成し、その非晶質シリコン膜に窒素を添加しても同様の効果を得ることができる。

【0095】なお、第1の実施例ないし第3の実施例において、酸化抑制効果を有する窒素とシリコンからなる膜には導電性を確保するためリンがドーピングされているが、これに限るものではなく、砒素等がドーピングされていてもよい。砒素がドーピングされる場合、砒素の濃度は、例えば $1E20$ ないし $1E21 \text{ atom/cm}^3$ の範囲に設定される。

【0096】

【発明の効果】以上説明したように、本発明によれば、インターポリ絶縁膜やゲート絶縁膜の膜厚の増加を伴うことなく後酸化を行うことができるため、インターポリ絶縁膜やゲート絶縁膜の薄膜化をより図ることができ、メモリセルやMOSトランジスタの性能を向上させ、歩

15

留りや信頼性が改善することができる。

【0097】また、本発明によれば、メモリセルのインターポリ絶縁膜にSiN膜を用いてもそのリーク電流を十分に抑制できるため、メモリセルのゲートと周辺回路のMOSトランジスタのゲートとを一括して加工することができ、工程を削減してコストを低下させることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す図。

【図2】本発明の第1の実施例を示す図。

【図3】図2に続いて本発明の第1の実施例を示す図。

【図4】窒素ドーパ多結晶シリコンの酸化速度を示す図。

【図5】本発明の第2の実施例を示す図。

【図6】図5に続いて本発明の第2の実施例を示す図。

【図7】図5に続いて本発明の第2の実施例を示す図。

【図8】下地膜の窒化処理によるシリコン窒化膜のリーク電流低減効果を示す図。

【図9】メモリセルのゲートと周辺回路トランジスタのゲートを一括加工する工程を示す図。

【図10】図9に続いてメモリセルのゲートと周辺回路トランジスタのゲートを一括加工する工程を示す図。

【図11】図10に続いてメモリセルのゲートと周辺回路トランジスタのゲートを一括加工する工程を示す図。

【図12】本発明の第3の実施例を示す図。

【図13】図12に続いて本発明の第3の実施例を示す図。

【図14】従来例を示す図。

16

* 【図15】図14に続いて従来例を示す図。

【図16】図15に続いて従来例を示す図。

【図17】従来例における後酸化によるONO膜の破壊電圧の低下現象を示す図。

【図18】従来例におけるメモリセルのゲートと周辺回路トランジスタのゲートを一括加工する場合の問題点を示す図。

【図19】図18に続いて従来例におけるメモリセルのゲートと周辺回路トランジスタのゲートを一括加工する場合の問題点を示す図。

【図20】図19に続いて従来例におけるメモリセルのゲートと周辺回路トランジスタのゲートを一括加工する場合の問題点を示す図。

【符号の説明】

1…シリコン基板、

2…ゲート絶縁膜、

3、8、33…リンが添加された多結晶シリコン膜、

4、6…シリコン酸化膜、

5…シリコン窒化膜、

7…ONO膜、

9、14、15、16、24、25、34…フォトレジスト、

10、35…後酸化膜、

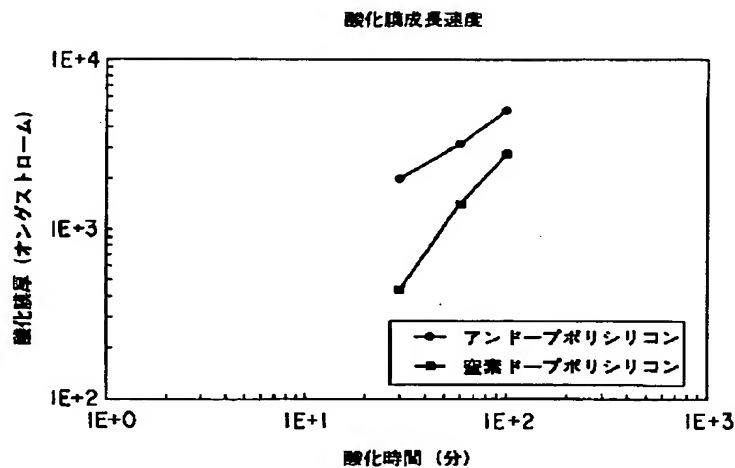
13…周辺回路MOSトランジスタのゲート絶縁膜、

20、21、22、32…窒素とリンが添加された多結晶シリコン膜、

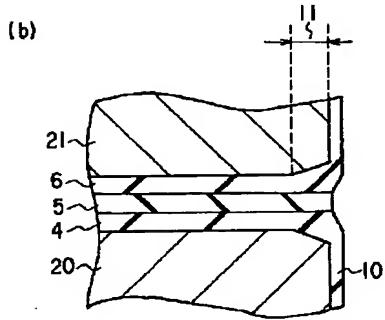
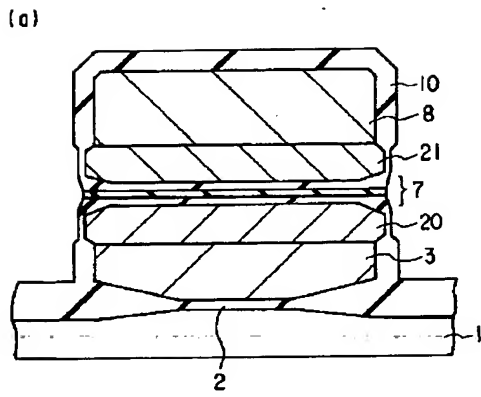
23…シリコン窒化膜、

* 31…MOSトランジスタのゲート絶縁膜。

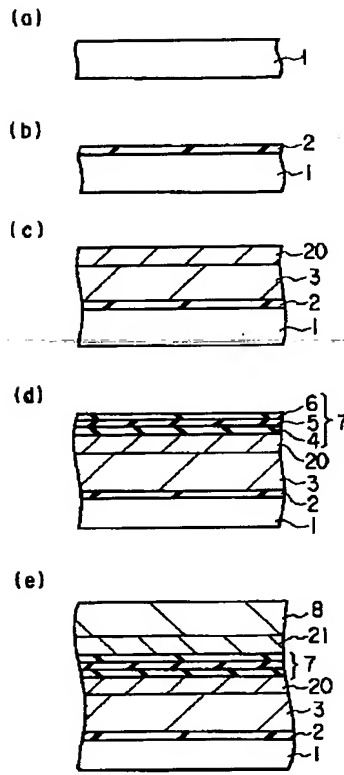
【図4】



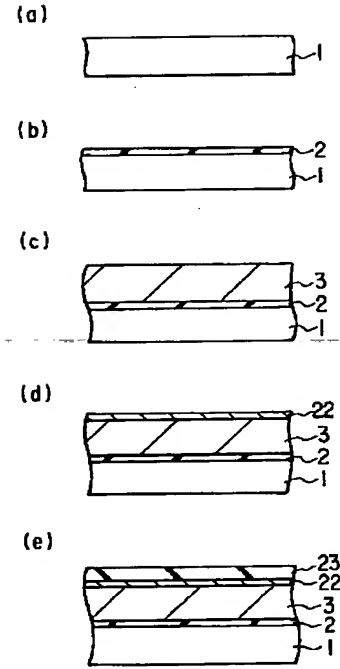
【図 1】



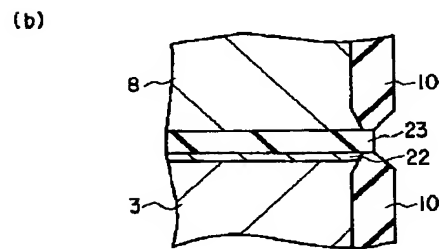
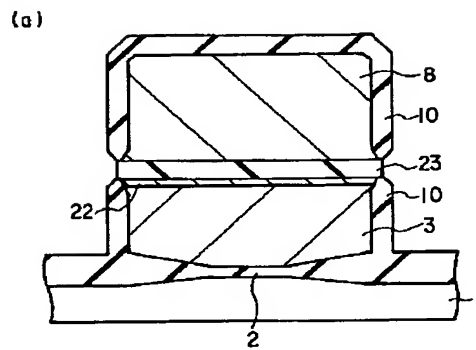
【図 2】



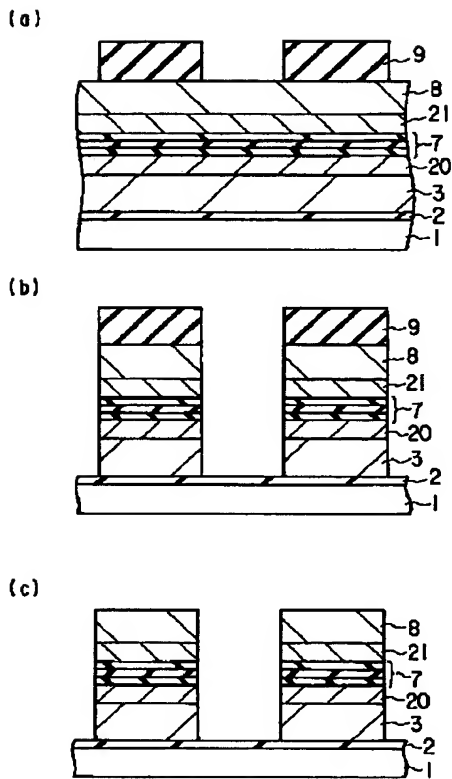
【図 5】



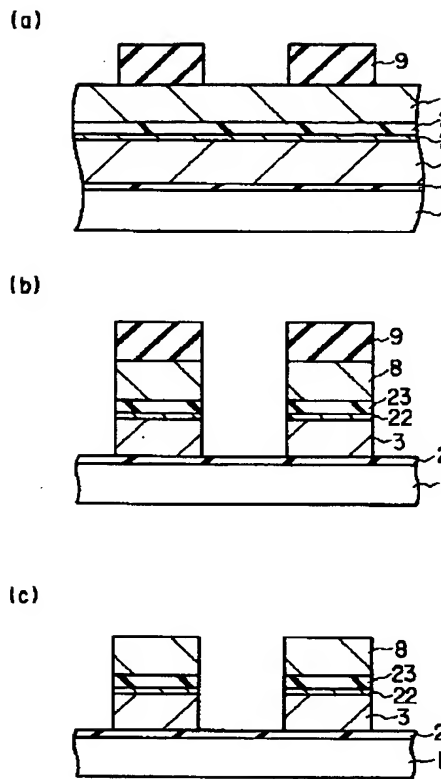
【図 7】



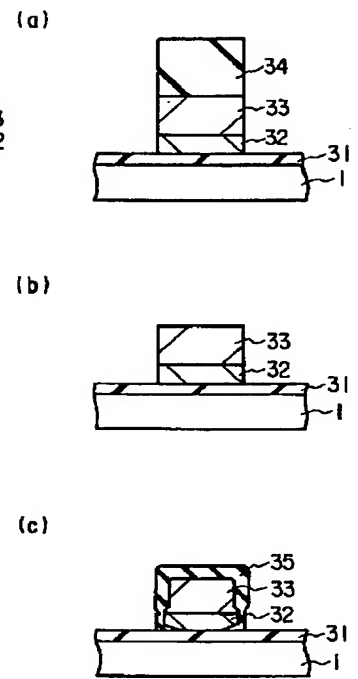
【図3】



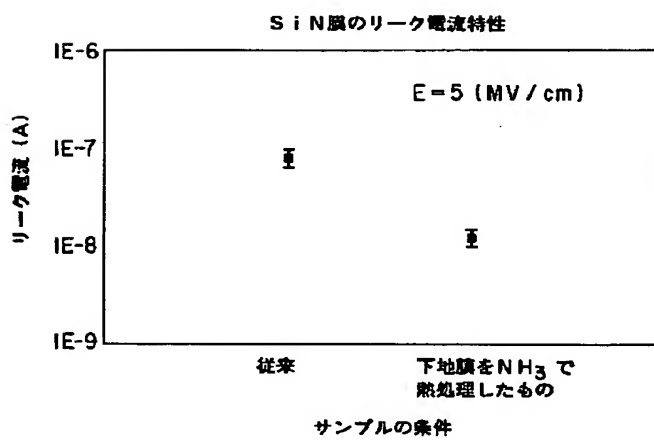
【図6】



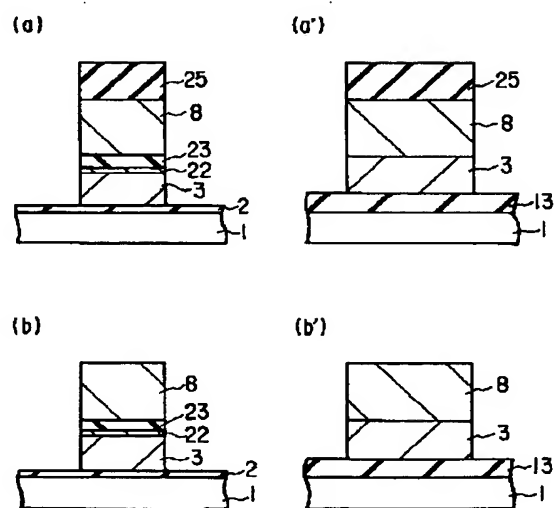
【図13】



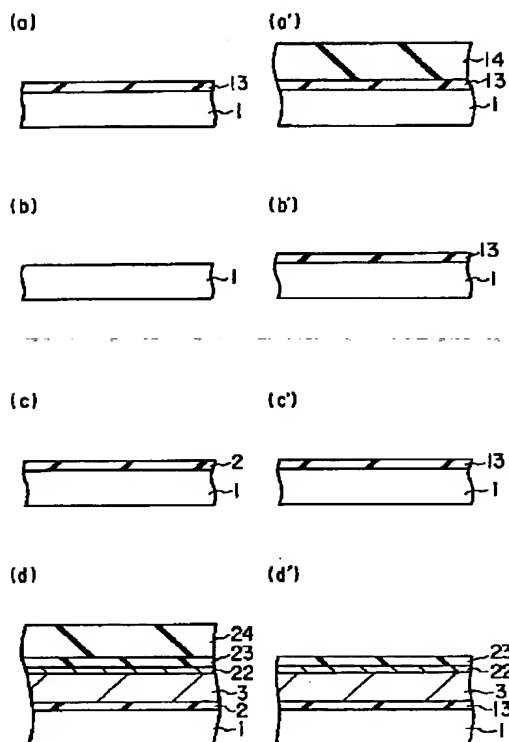
【図8】



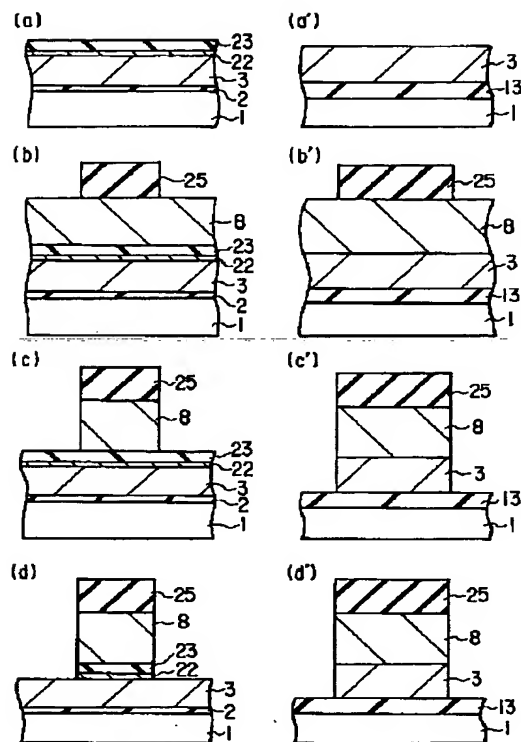
【図11】



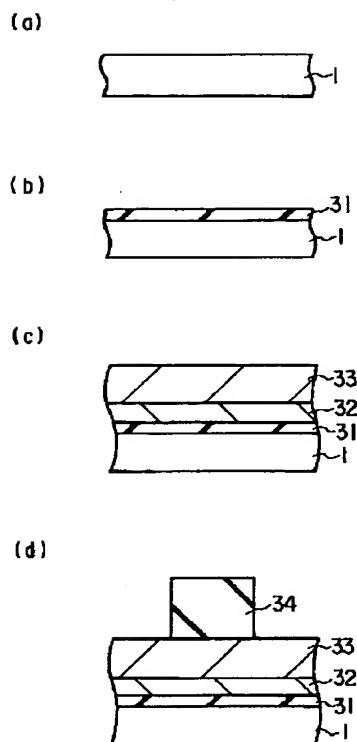
【図9】



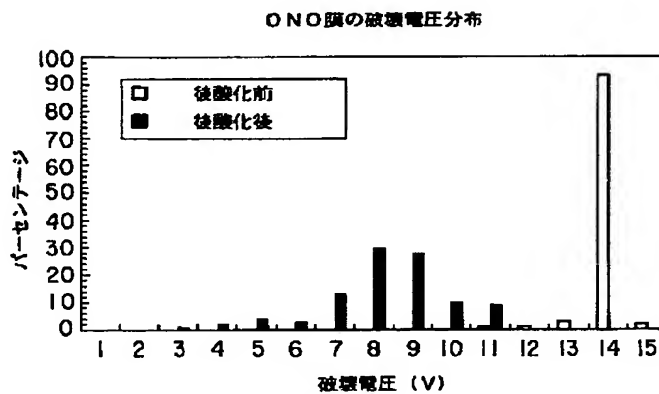
【図10】



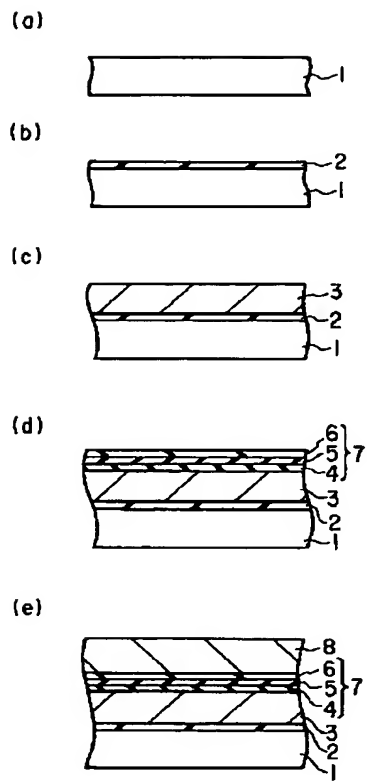
【図12】



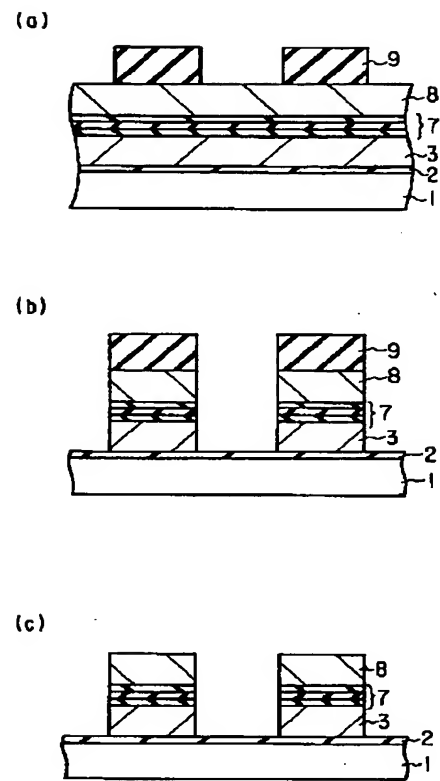
【図17】



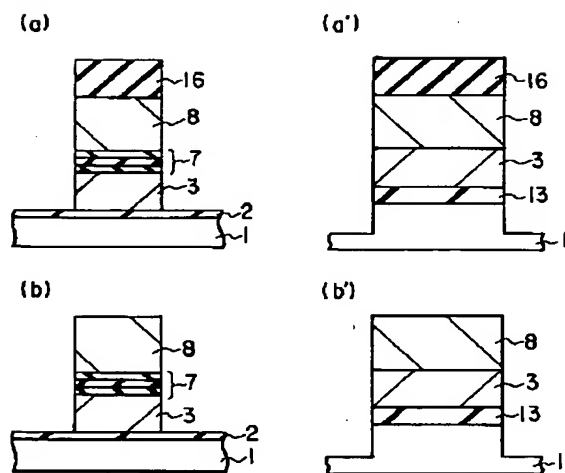
【図 14】



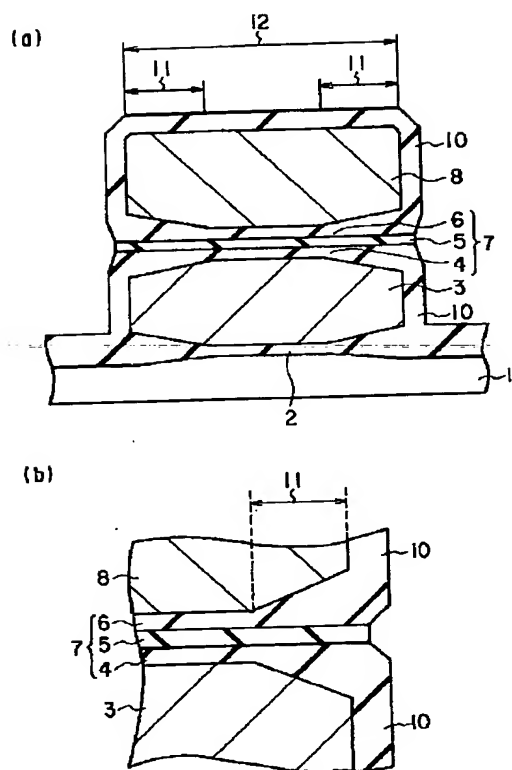
【図 15】



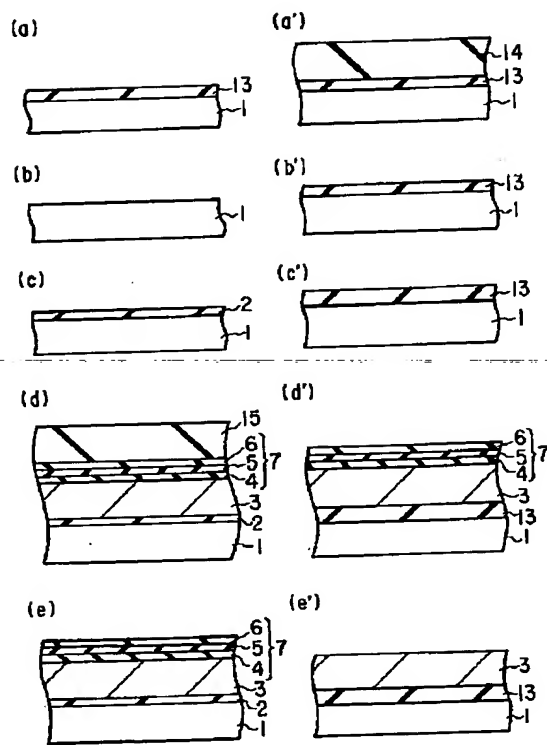
【図 20】



【図 16】



【図 18】



【図 19】

